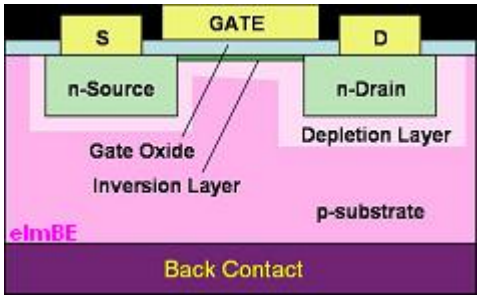
MOSFET



MOSFET(Metal-Oxide Semiconductor Field Effect Transistor)또는 MOS 트랜지스터는 금속막,산화막,반도체영역으로 구성된 트랜지스터의 일종이다. MOS 트랜지스터의 source와 drain은 실리콘 표면에 생성되며 gate의 양쪽에 배치 되게 된다.

반도체 영역은 대부분 트랜지스터 역할을 하기 위해 표면이 단결정 실리콘으로 도핑 되어 있다. 산화막은 실리콘 산화막 형태로 구성 되는데 금속막과 절연을 하는 기능을 한다. 금속막은 MOS 트랜지스터에 전압을 인가하기 위한 지점으로 사용된다.

MOS 트랜지스터는 gate,source,drain 3개의 터미널로 구성된다. 이것들은 각각 bipolar 트랜지스터의 base,emitter,collector와 같다. MOS 트랜지스터의 source와 drain이 실리콘 표면에 만들어지는 반면 gate는 금속막 층에 있게 된다.

Bipolar 트랜지스터처럼 MOS 트랜지스터를 통한 전류의 흐름은 gate에 인가 되는 전류에 따라 제어가 된다.

어쨋거나 Bipolar 틀랜지스터가 base에 인가되는 전류의 양에 따라 제어되는 것과는 다르게 MOS 트랜지스터는 gate의 전압 수위에 따라서 제어 된다.Gate 밑 부분을 채널 이라 하며 채널의 전도성은 gate에 인가되는 전압에 의해 제어 된다. Source와 drain 이 P형 반도체 이고 표면이 N형 반도체일 경우 MOS 트랜지스터는 P 채널 MOSFET 또는 PMOS라 불린며 source와 drain 이 N형 반도체 이고 표면이 P형 반도체일 경우 N 채널 MOSFET 또는 NMOS라 불린다.

MOS 트랜지스터는 디지털 회로에 광범위하게 쓰이는데 스위칭 기능이 매우 뛰어 나기 때문이다. 이는 산화막에 의해 채널로 부터 절연되어 있기 때문에 gate단에는 전류 소모가 없고 채널의 전도성은 gate에 전압 변화에 따라 작동 되기 때문이다.

예를 들어 NMOS의 경우 주 반송자는 자유전자이므로 gate에 (+)를 인가하면 표면에서 채널쪽으로 좀 더 많은 전자를 잡으려 하기 때문에 채널 영역은 전도성이 커지게 된다.

만일 gate 에 충분한 (+)가 인가 되는 동안 NMOS의 source부분에 drain보다 더 큰 (-)가 인가 되면 전류는 통과하게 된다.Gate에 (+)를 인가하는것을 멈추게 되면 채널의 전도성은 확 줄어 버리게 되어 자유전자의 흐름을 방해하게 된다. 이와 같이 작동하는 MOS 트랜지스터를 enhancement-mode MOS 트랜지스터라 하는데 평상시에는 항상 열려 있다가 채널이 강화 되었을때만 전도성을 띠기 때문이다.

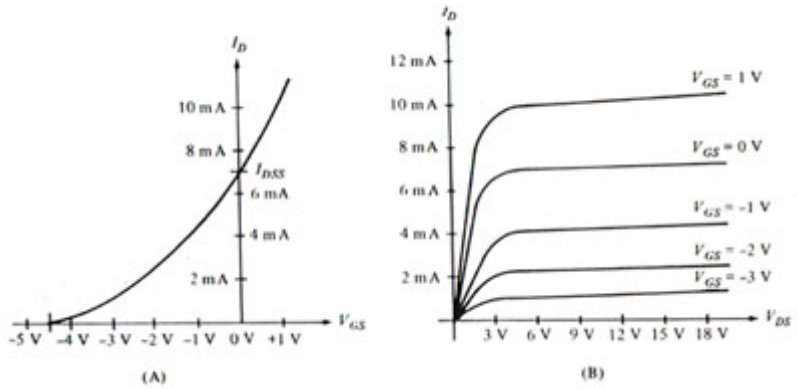


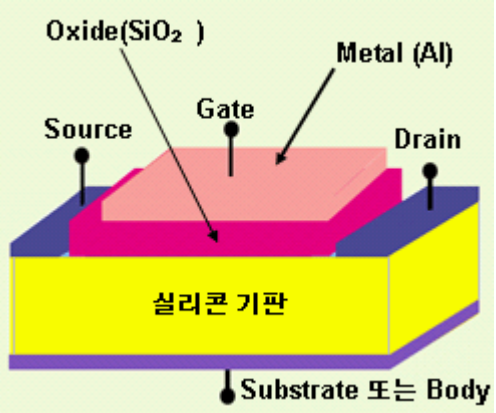
그림 (A) 는 gate의 전압 영향에 따른 drain-source간 전류를 보여 주고 있다. Gate-Source의 전압이 (+,-)가 될 수 있음에 주의해야 한다. JFET에서는 이러한 현상이 없다.

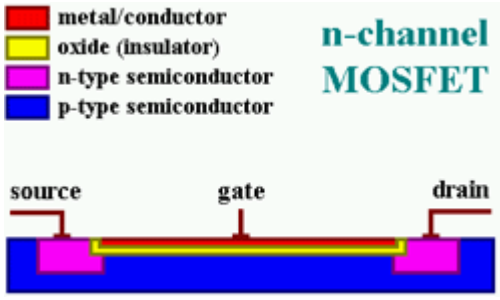
그림 (B) 는 MOSFET가 포화 상태에 있을때 drain-source의 전압은 3V 이상에서는 gate에 어떠한 전압이 오더라도 별 영향을 받지 않음을 알 수 있다.

MOSFET 의 구조 및 특성

MOSFET의 구조는 아래 그림에 나타나 있다. 실리콘 기판 위에 source,drain 단자를 만들고 이 단자에 전류를 흘려 준다. Gate 단자에는 전압을 걸 수 있도록 되어 있는데 맨 상층 부는 금속으로 주로 Al 이 쓰이고 금속층 밑에 산화막 보통 SiO2가 쓰여서 MOS 구조를 하고 있다.

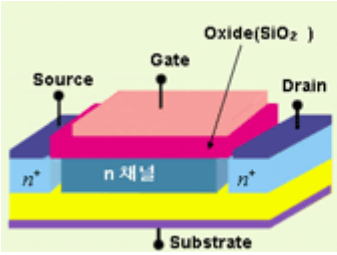
이 구조의 특징은 중간 층에 절연막이 있다는 것이다. 그래서 gate에 어떤 (+),(-)가 걸리 더라도 전류가 흐를 수 없다는 것이다. 따라서 입력 임피던스가 매우 크다. 약 1013Ω 이다. 이는 성능 면에서 더욱더 좋은 것이다. 또한 실리콘 기판 하부 쪽으로 substrate 단자가 하나 더 있는데 동작의 단순화를 위해 보통 source 단자 쪽과 연결하여 사용한다.

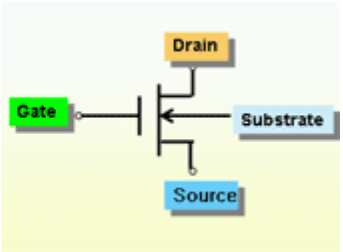




MOSFET 의 종류

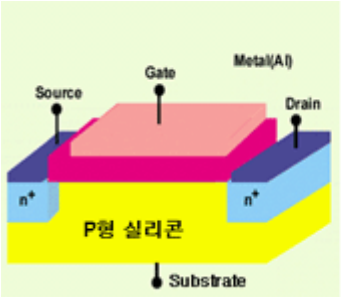
Depletion형 MOSFET

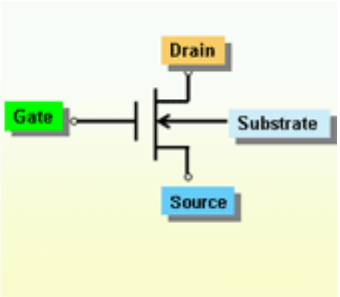




전도채널을 미리 제조하고, Gate 전압에 의해 전도채널 폭을 조절하는 동작을 한다. Depletion형 MOSFET는 집적회로 에서 능동 소자 보다 수동 소자로 많이 이용 되는데 source-drain을 고농도로 도핑 하여 이 사이의 반송자가 많아 지므로 전류량이 많아 진다. 실 사용 시에는 source-drain의 구분이 없다.

Enhancement형 MOSFET





제조시 전도채널을 만들지 않는다. 따라서 gate 전압에 의해 채널을 유도 시키는 동작을 한다. 즉, gate에 전압이 없으면 source-drain에 전류가 흐르지 못한다. 전도채널을 생성하기 위해서 gate에 강한 전압을 걸어 주어 채널을 생성한다. 이때 P형 실리콘이 N형 실리콘으로 변환 되는데 이를 Inverse Layer라 한다.

참고

- Semipark

From:
http://obg.co.kr/doku/ - **OBG WiKi**

Permanent link:
http://obg.co.kr/doku/doku.php?id=physics:mosfet

Last update: **2020/11/29 14:09**